

Nihon P
305-3410 4D15

Takashi et al

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172021

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321			H 0 1 L 21/92	6 0 2 G
21/60	3 1 1		21/60	3 1 1 S
			21/92	6 0 4 L

審査請求 未請求 請求項の数8 F D (全7頁)

(21) 出願番号 特願平7-349355
(22) 出願日 平成7年(1995)12月19日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 赤坂 貴志
東京都品川区北品川6丁目7番35号ソニー株式会社内
(72) 発明者 奥洞 明彦
東京都品川区北品川6丁目7番35号ソニー株式会社内
(74) 代理人 弁理士 田辺 恵基

JPO Website
Translation

(54) 【発明の名称】 半導体装置、半導体装置の製造方法及び実装方法

(57) 【要約】

【課題】半導体装置上に設けられた各バンプと基板の対応する各ランドとの接合の信頼性が低い問題があった。
【解決手段】半導体装置(10)の一面(10A)に形成された複数の電極(10B)上にそれぞれ所定の導電部材(12')を供給し、各電極(10B)上にそれぞれ供給された各導電部材(12')を錐形状(12)に成型する。これにより、半導体装置(10)の電極(10B)間ピッチが小さい場合でも、当該半導体装置(10)を基板(11)上に実装した際、半導体装置(10)の各バンプ(12)を基板(11)の対応する電極(11A)に確実に接合させることができるので接続不良を防止することができ、かくして基板上への実装の信頼性を向上し得る半導体装置、当該半導体装置の製造方法及び信頼性を向上し得る実装方法を実現することができる。

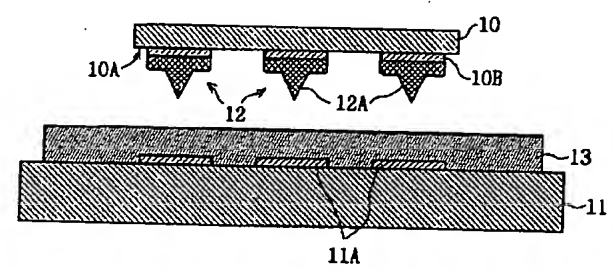


図1 本発明の実施例によるICチップ

9-16-02



1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09172021

(43)Date of publication of application: 30.06.1997

(51)Int.Cl.

H01L 21/321
H01L 21/60

(21)Application number: 07349355

(22)Date of filing: 19.12.1995

(71)Applicant:

(72)Inventor:

SONY CORP

AKASAKA TAKASHI

OKUHORA AKIHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD AND PACKAGING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of the junction of bumps formed on a semiconductor device and corresponding lands on its substrate.

SOLUTION: Specified conductive members are fed to electrodes 10B formed on one face 10A of a semiconductor device 10 and molded like cones 12 on the electrodes. Owing to this, if the pitch of the electrodes 10B of the device 10 is small, each bump 12 thereof can be surely joined to corresponding electrode 11A of the substrate 11 when the device 10 is mounted on the substrate 11 whereby poor connection can be avoided to realize a semiconductor device and manufacturing method and packaging method thereof wherein the reliability of the mounting on the substrate can be improved.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

- (19) 【発行国】 日本国特許庁 (J P)
(12) 【公報種別】 公開特許公報 (A)
(11) 【公開番号】 特開平 9-172021
(43) 【公開日】 平成 9 年 (1997) 6 月 30 日
(54) 【発明の名称】 半導体装置、半導体装置の製造方法及び実装方法
(51) 【国際特許分類第 6 版】

H01L 21/321

21/60 311

【F I】

H01L 21/92 602 G

21/60 311 S

21/92 604 L

【審査請求】 未請求

【請求項の数】 8

【出願形態】 F D

【全頁数】 7

- (21) 【出願番号】 特願平 7-349355
(22) 【出願日】 平成 7 年 (1995) 12 月 19 日
(71) 【出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号
(72) 【発明者】
【氏名】 赤坂 貴志
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号ソニー株式会社内
(72) 【発明者】
【氏名】 奥洞 明彦
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号ソニー株式会社内

(57) 【要約】

【課題】 半導体装置上に設けられた各バンプと基板の対応する各ランドとの接合の信頼性が低い問題があった。

【解決手段】 半導体装置 (10) の一面 (10A) に形成された複数の電極 (10B) 上にそれぞれ所定の導電部材 (12') を供給し、各電極 (10B) 上にそれぞれ供給された各導電部材 (12') を錐形状 (12) に成型する。これにより、半導体装置 (10) の電極 (10B) 間ピッチが小さい場合でも、当該半導体装置 (10) を基板 (11) 上に実装した際、半導体装置 (10) の各バンプ (12) を基板 (11) の対応する電極 (11A) に確実に接合させることができるので接続不良を防止することができ、かくして基板上への実装の信頼性を向上し得る半導体装置、当該半導体装置の製造方法及び信頼性を向上し得る実装方法を実現することができる。

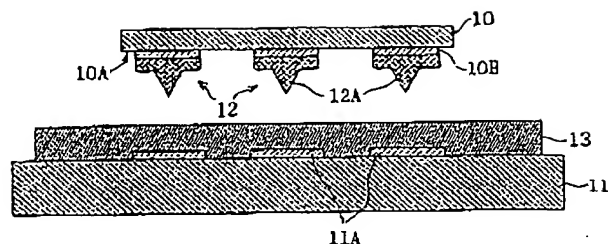


図 1 本発明の実施例による IC チップ

(2)

特開平09-172021

【特許請求の範囲】

【請求項1】一面に設けられた複数の電極と、各上記電極上にそれぞれ形成された錐形状のバンプとを具えることを特徴とする半導体装置。

【請求項2】各上記バンプは、金でなることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給する第1の工程と、各上記電極上にそれぞれ供給された各上記導電部材を錐形状に成型する第2の工程とを具えることを特徴とする半導体装置の製造方法。

【請求項4】上記第1の工程では、ボールボンディング法によつて各上記電極上にそれぞれ上記導電部材を供給する ことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】上記第2の工程では、一面に錐形状の凹部が設けられた治具の上記凹部を上記導電部材に押し当てることにより各上記導電部材を錐形状に成型することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】各上記導電部材は、金でなることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】一面に複数のバンプが形成された半導体装置の当該一面を、それぞれ上記基板上に設けられた対応する接合部を覆うように形成された絶縁膜に押しつけることにより、各上記バンプを対応する各上記接合部に接合する工程を経て上記基板上に上記半導体装置を実装する実装方法において、

上記半導体装置の上記一面に形成された各上記電極上にそれぞれ所定の導電部材を供給する第1の工程と、各上記電極上にそれぞれ供給された各上記導電部材を錐形状に成型する第2の工程と、

上記半導体装置を上記絶縁膜上に位置決めしてマウントした後、上記半導体装置を所定の圧力で上記基板に押しつけることにより、各上記導電部材をそれぞれ対応する各上記接合部に圧着する第3の工程とを具えることを特徴とする実装方法。

【請求項8】各上記導電部材は、金でなることを特徴とする請求項7に記載の実装方法。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図6及び図7）

発明が解決しようとする課題（図8）

課題を解決するための手段

発明の実施の形態（図1～図5）

発明の効果

【0002】

【発明の属する技術分野】本発明は半導体装置、半導体

装置の製造方法及び実装方法に関し、例えばベアチップ型のICチップに適用して好適なものである。

【0003】

【従来の技術】近年、電子機器の小型化に伴い、基板への電子部品の高密度実装技術が注目されている。この種の高密度実装技術として、例えばICチップをモールドせずに裸のまま基板上に実装する方法（以下、これをベアチップ実装方法と呼ぶ）が提案され、実施されている。

【0004】實際上このようなベアチップ実装方法として例えばフリップチップ実装法があり、このフリップチップ実装法として例えば異方性導電膜を介してICチップと基板とを直接接続するものがある。この異方性導電膜を用いるフリップチップ実装法では、以下の手順によりICチップを基板上に実装している。

【0005】すなわち図6（A）に示すように、例えばめつき法やボールボンディング法を用いてICチップ1に設けられた各パッド1A上に金（Au）やはんだ等で表面が平坦なバンプ2を形成すると共に、基板3上に形成された各ランド3Aを覆うように異方性導電膜4を所定の厚さに形成する。続いて図6（B）に示すように、ICチップ1のパッド1Aが形成されている回路面1Bを基板3のランド3Aが設けられている回路面3B側に対向させてICチップ1を異方性導電膜4に位置決めしてマウントした後、各バンプ2が異方性導電膜4に埋め込まれるようにICチップ1を所定の圧力で基板3に押し当てることにより、ICチップ1を基板3上に実装する。

【0006】ここで異方性導電膜4は例えばエポキシ樹脂等の樹脂中に5～20〔μm〕程度の導電性粒子（Au等）が分散されてなる導電材料であり、ICチップ1と基板3によつて挟み込まれた方向だけに導電性を示すものであり、基板3に平行な方向には導電性を示さないものである。従つて図7に示すように、異方性導電膜4中に存在する導電性粒子4AによつてICチップ1及び基板3のそれぞれ対応するバンプ2及びランド3Aが電気的に接合され、これによりICチップ1と基板3とが電気的に接続されるようになされている。

【0007】

【発明が解決しようとする課題】ところで近年、ICの高集積化に伴つてICチップ1上に形成される各パッド1B間のファインピッチ化が急速に進展しており、このような状況において、上述の異方性導電膜4を用いたフリップチップ実装法によつてICチップ1を基板3上に実装する場合、ファインピッチ化に対応して異方性導電膜4中の導電性粒子4Aの数を増やさなければならない。

【0008】ところが異方性導電膜4中の導電性粒子4Aの数が増えると、図8に示すように、ICチップ1の各パッド1B間及び基板3上の各ランド3A間のピッチ

(3)

特開平09-172021

が小さいため、異方性導電膜4中の導電性粒子4Aが隣接するバンプ2間及びランド3A間に跨がった状態でバンプ2とランド3Aが接合され、この結果電氣的にショートするおそれがあった。

【0009】このような問題を解決する1つの方法として、異方性導電膜4に代えて絶縁膜を用い、ICチップ1を基板3に対して所定の圧力で押し当てて各バンプ2をそれぞれ対応するランド3に直接接合させることによりICチップ1と基板3とを電氣的に接続する方法が考えられる。ところがこの方法では、バンプ2の表面が平坦であるため各バンプ2によつて絶縁膜を突き破つて各バンプ2を対応する各ランド3Aに接合させるとは困難であり、またバンプ2とランド3A間に絶縁膜が残つて接続不良を起こすおそれがあった。

【0010】さらにバンプ2の形成方法によつては、バンプ1B上に形成された各バンプ2の高さが不均一になり、このような状態でICチップ1を基板3に実装した場合、全てのバンプ2を確実にランド3Aに接合させることができず、接続不良を起こすおそれがあった。

【0011】本発明は以上の点を考慮してなされたもので、基板上への実装の信頼性を向上し得る半導体装置、当該半導体装置の製造方法及び信頼性を向上し得る実装方法を提案しようとするものである。

【0012】

【課題を解決するための手段】かかる課題を解決するため第1の発明においては、半導体装置は、当該半導体装置の一面に設けられた複数の電極と、当該各電極上にそれぞれ形成された錐形状のバンプとを有する。

【0013】また第2の発明においては、半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型する。

【0014】さらに第3の発明においては、一面に複数のバンプが形成された半導体装置の当該一面を、それぞれ基板上に設けられた対応する接合部を覆うように形成された絶縁膜に押しつけることにより、各バンプを対応する各接合部に接合する工程を経て基板上に半導体装置を実装する実装方法において、半導体装置の一面に形成された各電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型し、半導体装置を絶縁膜上に位置決めしてマウントした後、半導体装置を所定の圧力で基板に押しつけることにより、各導電部材をそれぞれ対応する各接合部に圧着する。

【0015】第1の発明においては、半導体装置の各電極上にそれぞれ形成された各バンプが錐形状であるので、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各バンプを基板の対応する電極に確実に接合させることができるので、接続不良を確実に防止することができる。

【0016】第2の発明においては、半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型したことにより、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各バンプを基板の対応する電極に確実に接合させることができるので、接続不良を確実に防止することができる。

【0017】第3の発明においては、半導体装置の各電極上にそれぞれ供給された各導電部材を錐形状に成型し、半導体装置を絶縁膜上に位置決めしてマウントした後、半導体装置を所定の圧力で基板に押しつけて、各導電部材をそれぞれ対応する各接合部に圧着することにより、各導電部材を基板の対応する電極に確実に接合させることができるので、接続不良を確実に防止することができる。

【0018】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0019】図1において、10は全体として実施例によるペアチップ型のICチップを示し、基板11との対向面10A上に当該ICチップ10と基板11とを接合する例えばAuでなるバンプ12が、ICチップ10の対向面10Aに設けられた各パッド10B上にそれぞれほぼ同じ高さでほぼ円錐形状に形成されている。すなわちこのICチップ10は、当該ICチップ10を基板11上に実装した際、各パッド10B上にそれぞれ形成された各バンプ12が、基板11の対応するランド11Aとそれぞれ直接接合することにより基板11上に実装され得るようになされている。

【0020】この場合、図2に示すように、各バンプ12は全体としてほぼ円錐形状に形成されており、ICチップ10を基板11上に実装した際、各バンプ12の円錐部12Aが基板11の対応する各ランド11Aを覆うように形成された絶縁膜13を突き破ることにより、基板11上の対応するランド11Aにそれぞれ接合し得るようになされている。

【0021】實際上このICチップ10は、以下の工程により製造することができる。すなわちまずICチップ10上に設けられた各パッド10B上にボールボンディング法によつてAuでなる導電部材12'を供給(図3(A))した後、先端部20Aに円錐形状の凹部20Bが設けられたセラミックスでなるバンプ成型装置20(図4(A))を導電部材12'の真上から導電部材12'に近接する方向に降下移動させて(図3(B))、バンプ成型装置20の凹部20Bを導電部材12'に所定の圧力で押し当てる(図3(C))。その後バンプ成型装置20を導電部材12'から離反する方向に上昇させる(図3(D))。

【0022】ここで図4(A)に示すように、バンプ成

型装置20には駆動部21が設けられており、パンプ成型装置20は駆動部21の制御に基づいて、導電部材12'の突起部12A'がパンプ成型装置20の凹部20B内に嵌め込まれるように位置決めされるようになされている。この場合、各導電部材12'はボールボンディング法によつて形成されることにより、図3(A)に示すように突起部12A'が形成され、しかも導電部材12'として展延性に優れたAuを用いているので、パンプ成型装置20によつて突起部12A'を容易に円錐部12Aに成型し得る。

【0023】従つてパンプ成型装置20の凹部20Bを各導電部材12'に所定の圧力で押し当てることにより、導電部材12'の突起部12A'をパンプ成型装置20の凹部20Bに応じた円錐形状の円錐部12Aを有するパンプ12に成型することができると共に、各パンプ12の高さをほぼ同じ高さに形成することができる。かくして図1に示すようなほぼ同じ高さで円錐形状でなるパンプ12を有するICチップ10を製造することができる。

【0024】以上の構成において、このICチップ10は、以下の工程により基板11上に実装することができる。すなわちまず図5(A)に示すように、ICチップ10の回路面10A側を基板11の絶縁膜13側に対向させてICチップ10を絶縁膜13上に位置決めしてマウントした後、ICチップ10を例えば1パンプ当たり20g/F~50g/Fの圧力で基板11に押しつける。

【0025】この場合、図5(B)に示すように、このICチップ10は、各パンプ12の円錐部12Aが絶縁膜13を突き破つて対応するランド11Aにそれぞれ当接した後、図5(C)に示すように、対応する各ランド11Aの表面にならつてほぼ平坦に変形されて対応するランド11Aと面接触し、これによりICチップ10と基板11とが接続される。

【0026】従つてこのICチップ10では、円錐形状でなるパンプ12によつて絶縁膜13を突き破ることができるので、各パンプ12を基板11の対応するランド11Bにそれぞれ直接接合させることができ、これにより、ICチップ10のパッド10B間のピッチが小さい場合でも、ICチップ10を基板11上に実装した際、各パッド12を基板11の対応する各ランド11A上に確実に接合させることができるので、接続不良を確実に回避することができる。

【0027】また円錐形状でなるパンプ12によつて絶縁膜13を突き破ることができるので各パンプ12と各ランド11Aとの間に絶縁膜13が残ることを防止することができ、これにより接続不良を回避することができる。さらにICチップ10の各パンプ10Bと基板11の各ランド11Aとを面接触させることができるので、各パンプ10Bとランド11Aとの接合の信頼性を一段と向上させることができる。

【0028】さらにパンプ12を円錐状に成型したことにより、各ランド11Aが絶縁膜13で覆われた基板11に適用し得るので、従来のように異方性導電膜4で覆われた基板3に比して、ICチップが基板に実装された実装基板の製造コストを低減することができる。さらにICチップ10の各パッド10B上にパンプ成型装置20を用いて円錐形状のパンプ12を形成したことにより、ICチップ10の各パッド10B上にほぼ同じ高さを有するパンプ12を形成し得るので、ICチップ10の各パッドと基板11の対応するランド11Aとを一段と確実に接合することができる。

【0029】以上の構成によれば、ICチップ10の各パッド12上にボールボンディング法によつて展延性に優れたAuでなる導電部材12'を供給し、パンプ成型装置20の凹部20Bを各導電部材12'の突起部12A'に押し当てて各導電部材12'をほぼ同じ高さの円錐形状でなるパンプ12に成型することにより、ICチップ10のパッド10B間のピッチが小さい場合でも、ICチップ10を基板11に実装した際、ICチップ10の各パンプ12を基板11の対応する各ランド11Aに確実に接合させることができるので接続不良を確実に防止し得、かくして基板11上への実装の信頼性を向上し得るICチップ10と、基板11上への実装の信頼性を向上し得るICチップ10の製造方法と、信頼性を向上し得る実装方法とを実現することができる。

【0030】なお上述の実施例においては、円錐形状の凹部20Bを有するパンプ成型装置20を用いて、パンプ成型装置20の当該凹部20Bを導電部材12'の突起部12A'に押し当てることにより各導電部材12'の突起部12A'を円錐形状に成型して円錐部12Aを有するパンプ12に成型した場合について述べたが、本発明はこれに限らず、図4(B)に示すように、先端部30Aに四角錐状の凹部30Bを有するパンプ成型装置30を用いて、パンプ成型装置30の当該凹部30Bを導電部材12'の突起部12A'に押し当てることにより各導電部材12'の突起部12A'を四角錐形状に成型して四角錐部を有するパンプ12に成型してもよい。

【0031】この場合、パンプ成型装置30は、駆動部31の制御に基づいて導電部材12'の突起部12A'がパンプ成型装置30の凹部30B内に嵌め込まれるように位置決めする。

【0032】また上述の実施例においては、加工性に優れたセラミックスでなるパンプ成型装置20を用いた場合について述べたが、本発明はこれに限らず、ステンレスや鉄等、要はパンプ12に用いる材料より硬いものであればこの他種々の材料でなるパンプ成型装置を用いてもよい。さらに上述の実施例においては、ICチップ10の各パッド10B上にそれぞれ供給された各導電部材12'をほぼ円錐形状のパンプ12に成型した場合について述べたが、本発明はこれに限らず、三角錐形状や四

(5)

特開平09-172021

角錐形状等、要は錐形状であればこの他種々の錐形状に形成してもよい。この場合、パンプ成型装置の凹部を所望の錐形状に合わせて作成する。

【0033】さらに上述の実施例においては、ICチップ10の回路面10A上に形成された各パッド10B上に供給する導電部材としてAuを用いた場合について述べたが、本発明はこれに限らず、ICチップ10の回路面10A上に形成された各パッド10B上に供給する導電部材として、Auにパラジウムを混ぜたものやはんだ等、要は錐形状に形成し易い展延性に優れたものであればこの他種々の導電部材を各パッド10B上に供給してもよい。

【0034】さらに上述の実施例においては、ICチップ10を1パンプ当たり20g/F～50g/Fの圧力で基板11に押しつけた場合について述べたが、本発明はこれに限らず、要は各パンプ12が絶縁膜13を突き破って基板11の対応する各ランド11Aに接合させることができれば、この他種々の圧力値でICチップ10を基板11に押しつけるようにしてもよい。

【0035】さらに上述の実施例においては、半導体装置としてベアチップ型のICチップ10に本発明を適用した場合について述べたが、本発明はこれに限らず、半導体装置としてこの他種々の半導体装置に適用し得る。さらに上述の実施例においては、ボールボンディング法によつてICチップ10の各パッド10B上にそれぞれAuでなる導電部材12'を供給した場合について述べたが、本発明はこれに限らず、ICチップ10の各パッド10B上にそれぞれ導電部材を供給する方法としては、この他種々の方法を適用し得る。

【0036】

【発明の効果】上述のように第1の発明によれば、半導体装置は、その一面に設けられた複数の電極と、当該各電極上に錐形状に成型されたパンプとを有することにより、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各パンプを基板の対応する電極に確実に接合させることができるので接続不良を確実に防止することができ、かくして基板への実装の信頼性を向上し得る半導体装置を実現することができる。

【0037】また第2の発明によれば、半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型することにより、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各パンプを基板の対応する電極に確実に接合させることができるので接続不良を確実に防止することがで

き、かくして基板への実装の信頼性を向上し得る半導体装置の製造方法を実現することができる。

【0038】さらに第3の発明においては、一面に複数のパンプが形成された半導体装置の当該一面を、それぞれ基板上に設けられた対応する接合部を覆うように形成された絶縁膜に押しつけることにより、各パンプを対応する各接合部に接合する工程を経て基板上に半導体装置を実装する実装方法において、半導体装置の一面に形成された各電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型し、半導体装置を絶縁膜上に位置決めしてマウントした後、半導体装置を所定の圧力で基板に押しつけて、各導電部材をそれぞれ対応する各接合部に圧着することにより、半導体装置及び基板の電極間ピッチが小さい場合でも各導電部材を基板の対応する電極に確実に接合させることができるので接続不良を確実に防止することができ、かくして信頼性を向上し得る実装方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるICチップの構成を示す略線的断面図である。

【図2】本発明の実施例によるパンプの形状の説明に供する断面図である。

【図3】本発明の実施例によるICチップの製造工程を示す略線的断面図である。

【図4】パンプ成型装置の概略構成を示す略線的断面図である。

【図5】ICチップの基板への実装工程を示す略線的断面図である。

【図6】従来の異方性導電膜を用いたフリップチップ実装によるICチップの基板への実装工程を示す略線的断面図である。

【図7】従来の異方性導電膜を用いたフリップチップ実装におけるパンプとランドの接続状態の説明に供する略線的断面図である。

【図8】ファイナリティ化による電氣的ショートの説明に供する略線的断面図である。

【符号の説明】

1、10……ICチップ、1A、10B……パッド、1B、3B、10A、11B……回路面、2、12……パンプ、3、11……基板、3A、11A……ランド、4……異方性導電膜、12'……導電部材、13……絶縁膜、20、30……パンプ成型装置、20A、30A……パンプ成型装置の先端部、20B……円錐形状の凹部、30B……四角錐形状の凹部。

(6)

特開平09-172021

【図 1】

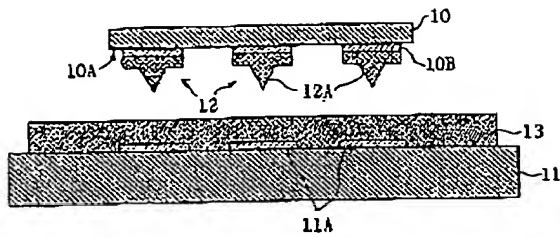


図 1 本発明の実施例による ICチップ

【図 2】

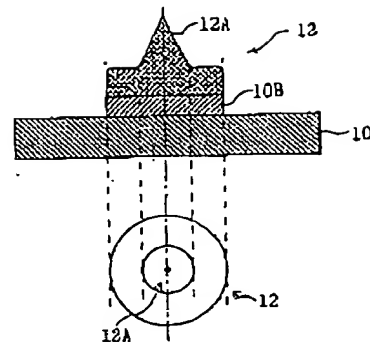


図 2 実施例によるバンプの形状

【図 3】

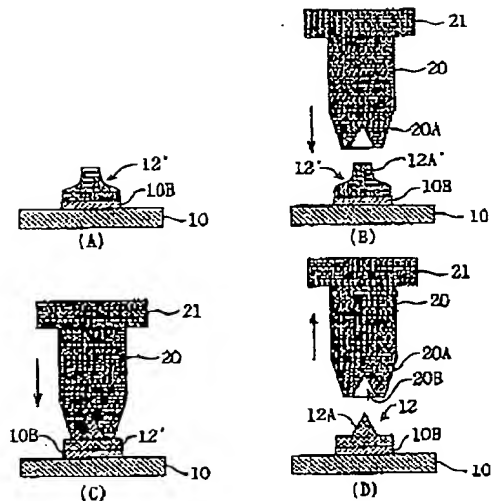


図 3 ICチップの製造工程

【図 4】

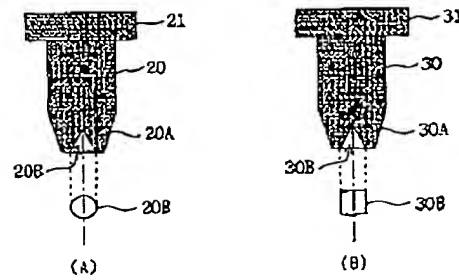


図 4 バンプ成型装置の構成

【図 8】

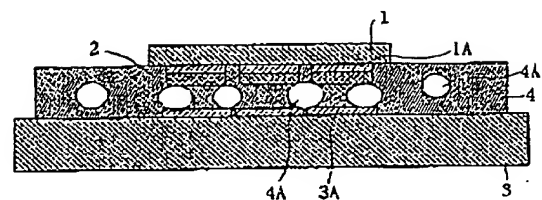


図 8 ファインピッチ化による電気的ショート

【図 7】

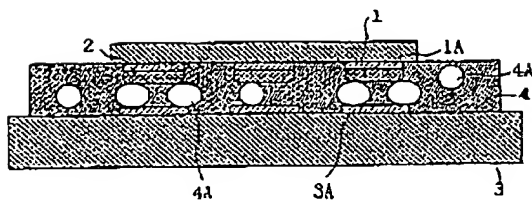
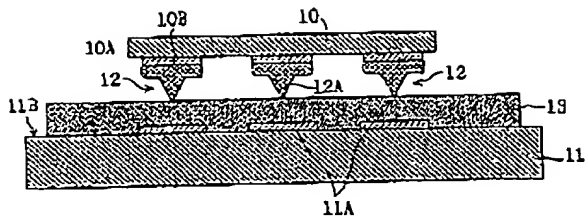


図 7 バンプとランドの接続状態

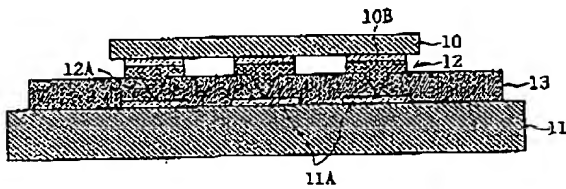
(7)

特開平09-172021

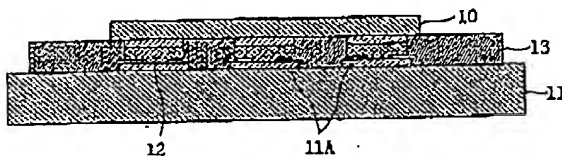
【図5】



(A)



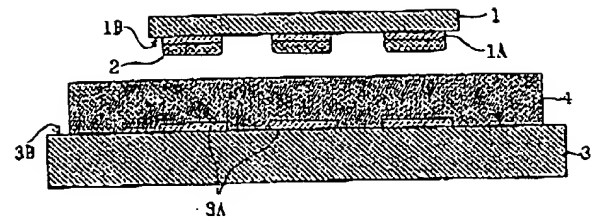
(B)



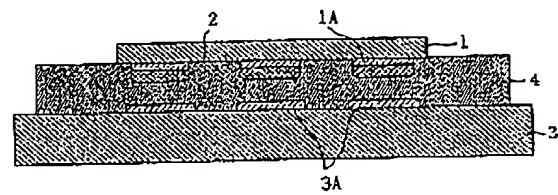
(C)

図5 ICチップの基板への実装工程

【図6】



(A)



(B)

図6 異方性導電膜を用いたフリップチップ実装によるICチップの基板への実装工程